

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07254821 A

(43) Date of publication of application: 03.10.95

(51) Int. Cl

H03D 7/12  
H03D 7/00

(21) Application number: 06043421

(71) Applicant: NEC CORP

(22) Date of filing: 15.03.94

(72) Inventor: MIYA TATSUYA

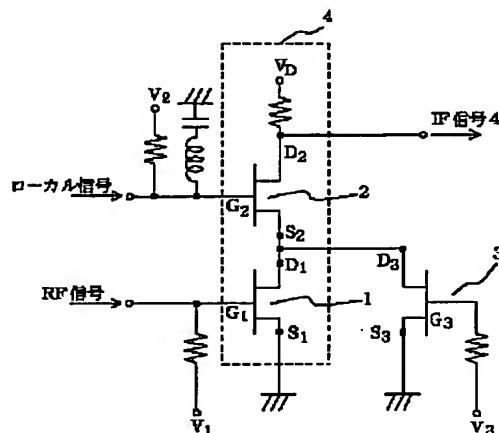
(54) FREQUENCY CONVERTER

(57) Abstract:

PURPOSE: To obtain a frequency converter with high mutual conductance and with a low noise figure able to drive a load of a low impedance without a matching circuit by providing a 3rd FET in parallel to a 1st FET of a dual gate FET.

CONSTITUTION: A FET 3 is connected in parallel with a FET 1 of a dual gate FET 4. A voltage of a gate G<sub>3</sub> is biased so that a drain current nearly equal to a set drain current of the FET 2 supplied to the FET 3. An RF signal is inputted to a gate G<sub>1</sub> and a local signal (local oscillating signal) is inputted to the gate G<sub>2</sub>. An IF (intermediate frequency) signal is extracted from a drain D<sub>2</sub>, a gate bias V<sub>1</sub> of the FET 1 is set in the vicinity of a pinch-off voltage. A gate bias V<sub>2</sub> of the FET 2 is set so that the drain current at its operating point is close to nearly a half of its short-circuit current and a saturation current.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-254821

(43)公開日 平成7年(1995)10月3日

(51)Int.Cl.<sup>6</sup>  
H 03 D 7/12  
7/00

識別記号 C  
Z  
D  
E

F I

技術表示箇所

審査請求 未請求 請求項の数7 OL (全6頁)

(21)出願番号 特願平6-43421

(22)出願日 平成6年(1994)3月15日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 宮 龍也

東京都港区芝五丁目7番1号 日本電気株式会社内

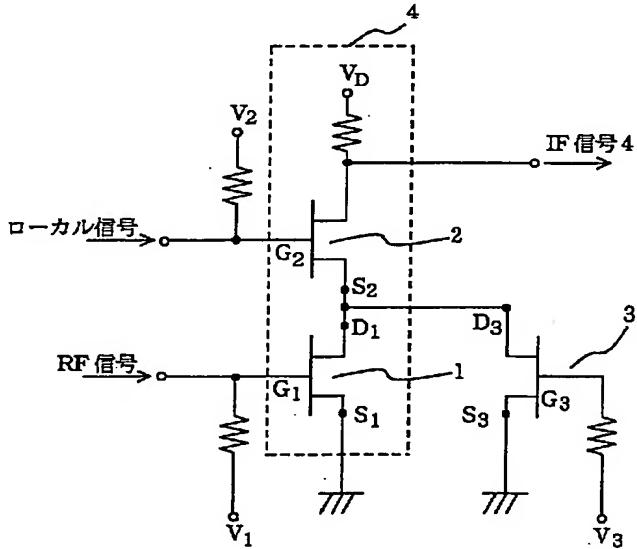
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 周波数変換器

(57)【要約】

【目的】 低雑音指数、高変換利得の特性を有し  $50\Omega$  系負荷を駆動することが出来る周波数変換器を提供する。

【構成】 周波数混合素子として第1、第2 FETで成る2ゲートFETが用いられ、第1 FETに並列に第3 FETが接続されている。第1 FETのゲートはほぼピンチオフ電圧に設定され、それによって低雑音指数が保証される。第2 FETは、高  $g_m$  に設定され、周波数変換された信号を出力する。第3 FETは第2 FETを流れる電流の流路を提供するように、ゲートバイアスが設定される。したがって、第2 FETは、第1 FETのゲート電圧に関係なく高  $g_m$  に設定され、それによって高変換利得が保証される。



信号は整合回路8を経由してドレインから取り出されるのが一般的である。周波数混合は、主に、第1ゲートからみた、FET5の相互コンダクタンス（以下 $g_m$ と略記する。）が、第2ゲートに入力されたローカル信号によってローカル周波数の変調をうけ、第1ゲートに入力されたRF信号が第1ゲート・ソース間容量を介して $g_m$ の変調成分と結合することによって生じると考えることができる。生成された周波数混合成分のうちのIF周波数成分の大きさは、 $g_m$ をローカル角周波数 $\omega_0$ でフーリエ展開した式

【0003】

【数1】

$$g_m = \sum_{k=0}^{\infty} g_k \cos k\omega_0 t$$

の中の角周波数 $\omega_0$ で振動する項の係数 $g_1$ に依存し、 $g_1$ が大きい程、RF周波数からIF周波数への変換利得が大きくなる。 $g_1$ を大きくするためには、 $g_m$ 自体を大きくする必要があるが、実際にデュアルゲートFETをミキサとして使用する場合は、雑音指数を低くするために、第1ゲートをソースに短絡した時の飽和ドレン電流よりかなり小さなドレン電流になるように第1ゲートを深くバイアスするのが通常である。すなわち、FETの遮断電圧（以下 $V_{th}$ と略称する）に近い電圧を第1ゲートに印加して、電流を抑えて使用している。図8は、デュアルゲートFETを、2つのFET11, 12の直列接続で表現した図で、図7のデュアルゲートFET5とは、回路としては等価である。以下の記述で、デュアルゲートFET5の、FET11に等価な部分を第1ゲートに関するFETと記し、FET12に等価な部分を第2ゲートに関するFETと記す。ところで、上記に示す従来のデュアルゲートミキサでは、電流を小さく抑えられているため $g_m$ も低下してしまい、その結果、 $g_1$ も小さくなつて変換利得を大きくする事ができなかつた。動作点での $g_m$ を大きくするためにFETの $V_{th}$ も浅くするという工夫もされている。

【0004】しかし、従来のデュアルゲートFETの、第1、第2ゲートに関するFETは同一の構造に形成され、両ゲートに関する遮断電圧 $V_{th}$ は等しいため、第1ゲートに関する遮断電圧を浅くすると、第2ゲートに関する $V_{th}$ も浅くなり、その結果、大信号であるローカル信号で、第2ゲートが振られたときに、第2ゲートによるFETの遮断状態が長くなり、 $g_1$ の増大に限界を生じるという問題があつた。

【0005】この問題を解決するためのデュアルゲートFETが特開平1-289304号公報に記載されている。このデュアルゲートFETは、第1ゲート、第2ゲートに関する遮断電圧 $V_{th}$ が異なるように設定されている。図9、図10は、同公報記載のデュアルゲートFETの断面構造を示す図である。図9のFETは、第2ゲート下の活性層の不純物濃度 $n_2$ が第1ゲート下の活性

### 【特許請求の範囲】

【請求項1】 第1の信号を入力する第1のゲートと第2の信号を入力する第2のゲートを有するデュアルゲートFETを周波数混合素子として備えている周波数変換器において、第1のゲートに関するFET部分を第1のFET、第2のゲートに関するFET部分を第2のFETとするとき、

第1のFETに並列に接続されていて、第2のFETの動作点におけるドレン電流にはほぼ等しいドレン電流が流れるように、ゲート電圧がバイアスされている第3のFETを有することを特徴とする周波数変換回路。

【請求項2】 第1のゲートが、ほぼピンチオフ電圧にバイアスされている、請求項1に記載の周波数変換器。

【請求項3】 デュアルゲートFETおよび第3のFETはデブレッショングループ形FETであり、第2のFETのドレン電流-電圧特性の、ゲート、ソース間短絡時における飽和ドレン電流を $I_{DSS}$ とするとき、第2のFETの動作点におけるドレン電流が、ほぼ $(1/2)I_{DSS}$ になるように、第2のゲートのバイアス電圧が設定される、請求項2に記載の周波数変換器。

【請求項4】 第3のFETのチャネル幅が第2のFETのチャネル幅のほぼ $1/2$ である、請求項1または3に記載の周波数変換器。

【請求項5】 デュアルゲートFETおよび第3のFETがセルフバイアスされている、請求項3に記載の周波数変換器。

【請求項6】 第2のゲートと共に端子との間に、第2の信号の周波数を共振周波数とする直列共振回路が接続され、周波数変換された信号は第2のFETのドレンから出力される、請求項2に記載の周波数変換器。

【請求項7】 請求項2に記載の周波数変換器を用いたモノリシック半導体装置。

### 【発明の詳細な説明】

#### 【0001】

【産業上の利用分野】本発明は、周波数混合素子としてデュアルゲートFETを用いた周波数変換器に関し、特にマイクロ波帯の信号を扱う周波数変換器に関する。

#### 【0002】

【従来の技術】従来、周波数変換器（以下ミキサと略称する）には、デュアルゲートFETが周波数混合素子として用いられている。図7は、従来のデュアルゲートFETミキサの構成図である。図7のミキサは、周波数混合用のデュアルゲートFET5、RF周波数帯整合回路6、ローカル周波数帯整合回路7、IF周波数帯整合回路8によって構成されている。ここで、デュアルゲートFET5の各端子に付けられた記号G<sub>11</sub>, G<sub>12</sub>, D, Sはそれぞれ第1ゲート、第2ゲート、ドレン、ソースを表す。図7に示されている様にRF信号は整合回路6を経由して第1ゲートに入力され、ローカル信号は整合回路7を経由して第2ゲートに入力される。またIF

層の不純物濃度  $n_1$  よりも大きくなるように形成されている。図10のFETは、第2ゲート下の活性層の厚さが第1ゲート下の活性層の厚さよりも厚く形成されている。このように、各々のゲート下の活性層の注入条件を変える事により第1ゲートに関する  $V_{th}$  を浅くして、動作点で  $g_m$  をなるべく大きくし、かつ第2ゲートに関する  $V_{th}$  を深くして、上記の問題を防ぐようにしたものである。この従来技術によって多少の変換利得の増大はあるが、電流そのものが第1ゲートで決定されて小さいため、第1ゲートの  $V_{th}$  を浅くしても  $g_m$  の増大には限界があった。

#### 【0006】

【発明が解決しようとする課題】従来のデュアルゲートFETミキサは、上記のように雑音指数を低くするために電流を小さく抑えていた。その結果、動作点での  $g_m$  が小さくなり、変換利得を大きくする事ができなかつた。 $g_m$  を大きくするためにFETの  $V_{th}$  を浅くしたり、上記公報記載の従来技術に示されているように各ゲート下の注入条件を変えても、 $g_m$  の増大には限界があった。さらに、電流が小さいため、負荷の駆動能力がないので、50Ω系（特性インピーダンス50Ωの同軸ケーブル）と直接接続できず、出力に整合回路、またはインピーダンス変換器を接続して信号を取り出さなければならなかつた。

【0007】本発明の目的は、低雑音指数で、かつ、低インピーダンスの負荷をも整合回路なしに駆動することが出来る高  $g_m$  の周波数変換器を提供することにある。

#### 【0008】

【課題を解決するための手段】上記の目的を達成するために、本発明の周波数変換器は、第1の信号を入力する第1ゲートと第2の信号を入力する第2のゲートを有するデュアルゲートFETを周波数混合素子として備えている周波数変換器において、第1のゲートに関するFET部分を第1のFET、第2のゲートに関するFET部分を第2のFETとするとき、第1のFETに並列に接続されていて、第2のFETの動作点におけるドレン電流にはほぼ等しいドレン電流が流れるように、ゲート電圧がバイアスされている第3のFETを有し、第1のゲートは、ほぼピンチオフ電圧にバイアスされている。

【0009】デュアルゲートFETおよび第3のFETはデブレッショングゲートFETであり、第2のFETのドレン電流-電圧特性の、ゲート、ソース間短絡時における飽和ドレン電流を  $I_{DSS}$  とするとき、第2のFETの動作点におけるドレン電流が、ほぼ  $(1/2) I_{DSS}$  になるように、第2のゲートのバイアス電圧が設定されることが望ましい。また、第3のFETのチャネル幅が第2のFETのチャネル幅のほぼ  $1/2$  であることが望ましい。更に、デュアルゲートFETおよび第3のFETをセルフバイアスすることができる。第2のゲートと共通電位との間に、第2の信号の周波数を共振周波

数とする直列共振回路を接続し、周波数変換された記号を第2のFETのドレンから出力することが出来る。

【0010】上記の周波数変換器を、他の半導体回路と共にモノリシックに構成することが望ましい。

#### 【0011】

【作用】このように、第3のFETを第1のFETに並列に接続し、第2のFETから第3のFETに至る電流の流路を設定することにより、第1のFETのゲートバイアスの設定値にかかわらず、第1のゲートから見た周波数変換器の相互コンダクタンスを大きく設定することが可能になる。したがって、第1の信号の雑音指数（以下、NFと記す）を低減するために、第1のゲートを、ほぼピンチオフ電圧にバイアスしても、第2のFETの動作点における相互コンダクタンスを高く設定することにより、第1の信号に対する高い周波数変換利得（高ゲイン）を得ることが出来る。このようにして、低NF、高ゲインの周波数変換器を実現することができる。

【0012】デュアルゲートFETおよび第3のFETに、デブレッショングゲートFETを用いると、ゲート、ソース間を短絡したときの飽和ドレン電流  $I_{DSS}$  を基準にしてバイアスを設定することが出来、バイアスの設定が容易である。第2のFETの動作点におけるドレン電流を  $(1/2) I_{DSS}$  に設定すると、第2の信号が、大振幅の信号であっても、電流クリップの範囲が狭くなり、周波数変換利得を高くすることができる。

【0013】いま、第2、第3のFETの  $I_{DSS}$  をそれぞれ  $I_{DSS2}$ 、 $I_{DSS3}$  とし、第3のFETのチャネル幅を第2のFETのチャネル幅の  $1/2$  に形成すると、 $I_{DSS3} = (1/2) I_{DSS2}$  になる。一方、第1のFETの

ゲートバイアスをピンチオフ電圧  $V_{th}$  付近に設定した場合には、第1のFETのドレン電流  $I_{D1}$  は小さくなり、第2、第3のFETのドレン電流  $I_{D2}$ 、 $I_{D3}$  はほぼ等しくなる。したがって、第2のFETの動作点におけるドレン電流を  $(1/2) I_{DSS2}$  に設定するときには、第3のFETの飽和ドレン電流が  $(1/2) I_{DSS2} = I_{DSS3}$  になるようにし、第3のFETのゲートバイアスを設定しなければならない。これは、第3のFETのゲート、ソース間を短絡することによって容易に達成される。デュアルゲートFETおよび第3のFETを、上記のようにセルフバイアスすると、周波数変換器は自動的に上述の作用を行うことができる。

【0014】直列共振回路を第2のゲートと共通端子（接地端子）との間に接続すると、その直列共振回路は第2の信号に対してはフィルタとして働くと共に、周波数変換された出力信号の周波数に対しては低インピーダンスになる。その結果、第2のFETは、出力信号に対しては共通ゲート接続（ゲート接地）の増幅器として動作し、周波数変換利得を増加させる。

【0015】周知のように、モノリシックに搭載される複数のFETは、ゲート・ソース間電圧とドレン電流

密度との関係が同一になるように構成することが出来る。従って、本発明の周波数変換器を、他の回路と共に、モノリシックに構成することにより、ゲートバイアスの設定が容易になる。

【0016】このように、本発明によれば、第1のFETについてゲート・ソース短絡時の飽和電流よりかなり小さなドレン電流が流れるように第1ゲートを深くバイアスして、雑音指数を小さくし、第2のFETの電流の大部分を第3のFETに流すようにする事により第2のFETの動作点を高相互コンダクタンスに設定する事が可能になる。このようにして、低NFで変換利得の大きな周波数変換器を実現することが出来る。

#### 【0017】

【実施例】以下、図面を参照して本発明の実施例について説明する。図1は、本発明の周波数変換器の第1の実施例の回路図である。本実施例は、本発明の周波数変換器をFM受信機に適用した例である。

【0018】周波数変換器は、デュアルゲートFET4とFET3を備えている。これらのFETは、いずれもデプレッション型NチャネルFETである。以下の記述において、デュアルゲートFET4の、ゲートG<sub>1</sub>に関するFET部分をFET1と記し、ゲートG<sub>2</sub>に関するFET部分をFET2と記す。また、それぞれのFETを、ゲート、ソース間を短絡して飽和領域で動作させたとき、この動作をI<sub>DSS</sub>動作と記し、このときの飽和ドレン電流を短絡・飽和電流I<sub>DSS</sub>と記す。

【0019】本実施例において、デュアルゲートFETのソース、すなわちFET1のソースS<sub>1</sub>は接地され、ドレン、すなわちFET2のドレンD<sub>2</sub>は負荷抵抗を経由して駆動電源V<sub>D</sub>に接続されている。また、FET3はFET1に並列に接続され、FET2の設定されたドレン電流にはほぼ等しいドレン電流が流れるように、ゲートG<sub>3</sub>の電圧はバイアスされている。このように、FET3を付加したことによって、FET2からFET3に至る電流路が設定され、FET1のゲートバイアスに関わりなく、FET2の動作点を高g<sub>m</sub>に設定することが出来る。図1に示されているように、RF信号はゲートG<sub>1</sub>に入力され、ローカル信号（局部発振信号）はゲートG<sub>2</sub>に入力される。IF（中間周波）信号は、ドレンD<sub>2</sub>から取出される。FET1のゲートバイアスV<sub>1</sub>は、その雑音指数を低減するために、ピンチオフ電圧付近に設定されている。FET2のゲートバイアスV<sub>2</sub>は、そのドレン電流が(1/2)I<sub>DSS2</sub>付近に動作点をもつように設定されている。ここでI<sub>DSS2</sub>は、FET2の短絡・飽和電流である。FET3のゲートバイアスV<sub>3</sub>は、FET3のドレン電流がFET2のドレン電流(1/2)I<sub>DSS2</sub>とほぼ同じ大きさになるように設定されている。

【0020】次に本実施例の動作を説明する。RF信号はゲートG<sub>1</sub>に入力され、ローカル信号はゲートG<sub>2</sub>に入

力される。ゲートG<sub>1</sub>のゲートバイアスV<sub>1</sub>はピンチオフ電圧付近に設定されているので、FET1は低NFであるけれど、そのドレン電流は小さくなる。その結果、FET3には、FET2のドレン電流とほぼ同じ大きさのドレン電流が流れる。通常、ローカル信号は大振幅の信号であるが、FET2のバイアス電流が(1/2)I<sub>DSS2</sub>に設定されているので電流クリップが生ずる範囲が小さく、変換利得が向上する。

【0021】前記したように、本発明においてはFET1のゲートバイアスV<sub>1</sub>のとり方に関係なく、FET2に電流を流すことが出来る。したがって、FET2の動作点におけるg<sub>m</sub>を大きくして高い変換利得を得ることが出来る。本実施例では、FET1、2、3のチャネル幅が200μm、V<sub>th</sub>が-1.0Vであって、V<sub>1</sub>は-0.5~-0.8V、V<sub>2</sub>は1~3V、V<sub>3</sub>は-0.2~-0.4Vに設定されている。この設定によって、低雑音指数で、整合回路なしで50Ω系負荷を駆動できる程度に高出力の周波数変換器を実現することが出来る。

【0022】図2は、本発明の第2の実施例の回路図である。本実施例においては、FET3のチャネル幅をFET2のチャネル幅の約2分の1とし、FET2のゲートバイアスV<sub>2</sub>は、図1の実施例と同様に、飽和ドレン電流が(1/2)I<sub>DSS2</sub>になるように設定されている。FET3は、ゲート、ソース間が短絡され、したがって飽和領域においては短絡・飽和電流I<sub>DSS3</sub>=(1/2)I<sub>DSS2</sub>が流れる。このように、FET3のゲート、ソース間を短絡するだけで、FET2の設定されたドレン電流(1/2)I<sub>DSS2</sub>がFET3を流れるように、FET3のドレン電流特性を設定することが出来る。

30 このようにして図2の回路は、図1の回路と同様の効果を達成することが出来る。

【0023】図3は、本発明の第3の実施例の回路図である。本実施例は、FET1、FET3のソース、接地間に、抵抗とキャパシタとの並列接続を接続し、セルフバイアス動作としたものである。FET1のセルフバイアス回路は、FET1のゲート・ソース電圧がピンチオフ電圧付近になるようにバイアス電圧を発生する。FET3のセルフバイアス回路は、FET3の飽和ドレン電流がFET2のドレン電流に等しくなるように、バイアス電圧を発生する。

【0024】図4および図5は本発明のデュアルゲートFET周波数変換器のFET構造を表わす図である。等価回路的には図4と図5は同じであるが、図5では図4の各ゲートに関するFETの各々にドレン、ソース電極を設けて各々を単独のFETとして構成している点が図4と異なる。

【0025】図6は本発明の第4の実施例の回路図である。本実施例は、図1の回路のFET2のゲート回路に直列共振回路を設けた周波数変換器である。本実施例の周波数変換器を構成するFETの各ゲートバイアスは、

図1の装置と同様に設定される。直列共振回路の共振周波数は、ローカル信号の周波数に等しく、この共振回路はローカル信号に対してはフィルタとして作用する。一方、この共振回路は I F 信号に対しては低インピーダンスになる。したがって、F E T 2 は I F 信号に対してはゲート接地接続の増幅器として働く。その結果、図6の周波数変換器は、図1の周波数変換器よりも高ゲインである。

## 【0026】

【発明の効果】以上説明したように、本発明は次の効果を有する。

(1) 第3のF E Tを第1のF E Tに並列に接続することにより、第1のF E Tのゲートバイアスの設定値の如何にかかわらず、周波数変換信号を出力する第2のF E Tを高 $g_m$ に設定することが出来、その結果、周波数変換利得の大きな周波数変換器を実現することが出来る。第2のF E Tが高 $g_m$ で動作することが出来るので第2のF E Tに比較的大きな電流を流すことができ、そのため、周波数変換器は、50Ω系負荷を直接、駆動することが出来る。その結果、周波数変換器周辺の設計に自由度が生じる。

(2) 第1のF E Tのゲートバイアスをピンチオフ電圧付近に設定することにより、高利得の周波数変換特性を失うことなく、低雑音指数を実現することが出来る。

(3) 第2のF E Tのドレン電流の動作点を、該F E Tの短絡・飽和電流の1/2に設定することにより、第2のF E Tに入力される信号の振幅が大きくても電流クリップの範囲を小さくし、変換利得を高くすることが出来る。

(4) 第3のF E Tのチャネル幅を第2のチャネル幅の1/2にすることにより、第3のF E Tのゲート、ソース間を短絡するのみで、上記(3)の効果を達成することが出来る。

(5) ゲート電圧をセルフバイアスすることにより、複雑なプロセスを経ずに上記(1)乃至(4)の効果を達成することが出来る。

10

(6) 第2のF E Tのゲートと共に端子間に第2の信号の周波数を共振周波数とする直列共振回路を設けることにより、周波数変換出力信号に対して第2のF E Tを共通ゲート接続の増幅器として動作させることが出来、それによって周波数変換利得を向上させることが出来る。

(7) 周波数変換器を他の回路と共にモノリシック集積回路として形成することにより、ゲートバイアスの設定が容易になり、周波数変換器ばかりでなく、その周辺回路の設計が容易になる。

## 【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図である。

【図2】本発明の第2の実施例の回路図である。

【図3】本発明の第3の実施例の回路図である。

【図4】本発明の周波数変換器のF E T構造を表わす図である。

【図5】本発明の周波数変換器のF E T構造を表わす図である。

【図6】本発明の第4の実施例の回路図である。

【図7】従来のデュアルゲートミキサの構成図である。

20. 【図8】デュアルゲートF E Tを2つのF E Tの直列接続で表現した図である。

【図9】デュアルゲートF E Tの従来例の断面構造を示す図である。

【図10】デュアルゲートF E Tの従来例の断面構造を示す図である。

## 【符号の説明】

1, 2, 3 F E T

4, 5 デュアルゲートF E T

6 R F 周波数帯整合回路

7 ローカル周波数帯整合回路

8 I F 周波数帯整合回路

G<sub>1</sub>, G<sub>2</sub>, G<sub>11</sub>, G<sub>12</sub> ゲート

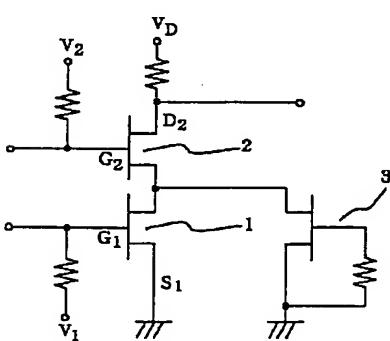
D, D<sub>1</sub>, D<sub>2</sub> ドレン

S, S<sub>1</sub>, S<sub>2</sub> ソース

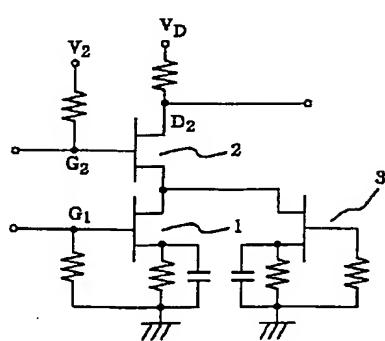
n, n<sup>+</sup>, n<sub>1</sub>, n<sub>2</sub> 不純物濃度

30

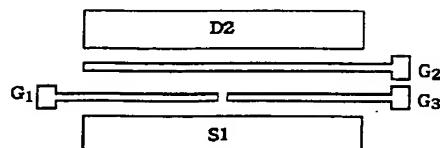
【図2】



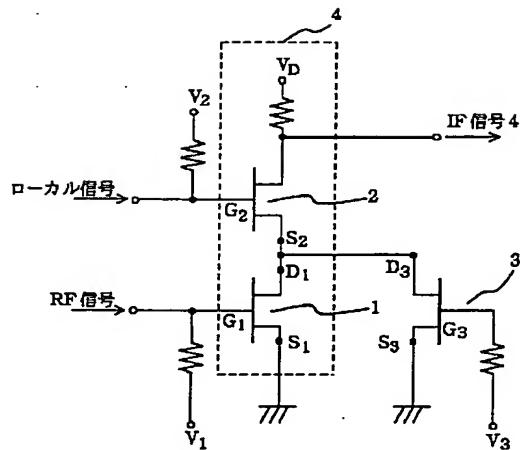
【図3】



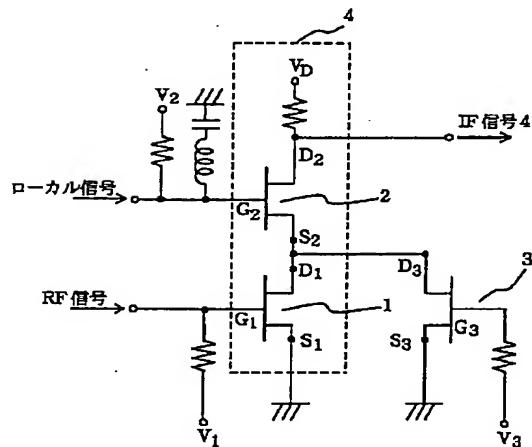
【図4】



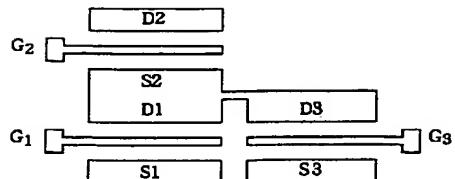
【図1】



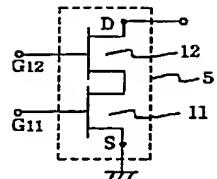
【図6】



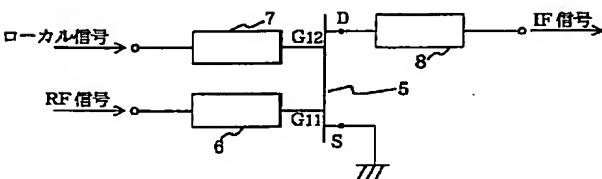
【図5】



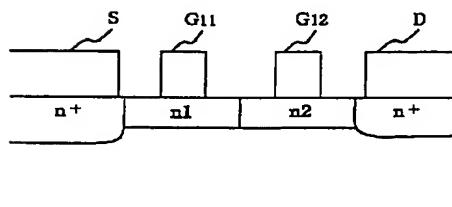
【図8】



【図7】



【図9】



【図10】

